

Zuverlässigkeitsstudien an silbergesinterten leistungselektronischen Modulen ohne Nutzung von DCB-Substraten

Nilavazhagan Subbiah, Ahmed Hamza, Jürgen Wilde, Anu Mathew¹⁾ und Rainer Dudek²⁾

Institut für Mikrosystemtechnik (IMTEK), Universität Freiburg, Deutschland
Nilavazhagan.subbiah@imtek.uni-freiburg.de

¹⁾TU Chemnitz, Zentrum für Mikrotechnologien (ZfM), Deutschland

²⁾Fraunhofer ENAS, Micro Materials Center, Chemnitz, Deutschland

Zusammenfassung

Anwendungen für das Silbersintern sind aufgrund neuerer technologischer Entwicklungen wie Elektroautos, grüner Energie und neuer Umweltvorschriften zunehmend gefragt. Diese erfordern auch die Anwendung von Silbersintern auf wirtschaftlicheren Materialien. Traditionell werden für Silbersinteranwendungen direkt kupfergebundene (DCB) Substrate verwendet. Die Entwicklung des Silbersinterprozesses auf Nicht-DCB-Substraten wie Leiterplatten kann zu neuen Anwendungsbereichen führen, insbesondere in der Automobil-Antriebselektronik. Die Zuverlässigkeit solcher unkonventioneller Materialien ist immer noch ein ungelöstes Problem. Der zweifelsfreie Nachweis der zuverlässigen Funktion dieser Bauelemente, die mit alternativen Materialien hergestellt wurden, ist eine Vorbedingung, damit diese Technologie in der Praxis angewendet werden kann. In dieser Forschungsarbeit wird eine Baugruppe mit einem Nicht-DCB-Substrat entwickelt, bei der die Silber-Sintern und vergleichsweise große IGBT-Chips verwendet werden. Es wird eine Methode zur Prüfung der Zuverlässigkeit durch Lautwechsel mittels Powercycling dargestellt. Dazu wurde ein Prüfstand entwickelt, und die zu testenden Bauelemente (DUT) werden beschleunigten Ausfalltests unterzogen. Die Ergebnisse hierzu werden analysiert und diskutiert.

1 Einleitung

Das Silbersintern hat als vielversprechende Technologie für die Anwendung im Bereich der Elektromobilität Interesse geweckt [1]. Die Erfüllung der Zuverlässigkeitsanforderungen dieser Anwendung ist sehr wichtig. Von modernen leistungselektronischen Modulen wird erwartet, dass sie auch bei hohen Temperaturen bis zu 175 °C arbeiten. Um diese Anforderung zu erfüllen, müssen hochtemperaturstabile Materialien und die Zuverlässigkeit solcher neuen Baugruppen im Detail untersucht werden. Neue Entwicklungen bei hochtemperaturstabilen Leiterplatten wie die IS550H-PCB aus dem HELP-Projekt eröffnen neue Möglichkeiten [4]. Solche Leiterplatten können mit Hilfe von Einbettungstechnologien in leistungselektronische Module integriert werden [2]. Diese Technologie wird bereits für spezielle Anwendungen mit hohen Stückzahlen wie DC-DC-Wandler eingesetzt [3]. Zuverlässigkeitsstudien für Baugruppen, die mit dertartigen Substraten hergestellt werden, können den Herstellern helfen, diese Technologie schneller auch in anderen Bereichen einzusetzen. In dieser Forschungsarbeit wird ein Verfahren zur Herstellung von Leistungsmodulen mit IGBTs bis zu einer Größe von 12,6 x 12,6 mm² entwickelt und die Ergebnisse werden diskutiert. Ein Prüfstand für die Prüfung der Zuverlässigkeit mittels aktiver thermischer Zyklen wurde aufgebaut. Für die Experimente wird das Prinzip der aktiven Leistungszyklusprüfung (APCT) eingesetzt. APCT ist ein beschleunigter Test, bei dem Leistungsmodule zyklisch bis zum definierten Versagen belastet werden. Der Zustand der Module wird mit Hilfe der Kollektor-Emitter-Spannung V_{CE} und des thermischen Widerstandes R_{th} überwacht. Das Versagen der Module wird erreicht, sobald diese Messgrößen die gewählten Versagenkriterien erreichen.

2 Silber-Sintern von großen IGBTs

Die Zuverlässigkeitsstudien an Nicht-DCB-Substraten wurden an mit Silber gesinterten Proben mit großen IGBT-Chips durchgeführt. Die Größe, die für die zur Untersuchung ausgewählten IGBT-Chips, reicht von 4,2 x 6,8 mm² bis 12,6 x 12,6 mm². Die Anwendung des Silbersinterverfahrens auf derart große Chips bringt große Herausforderungen mit sich, einschließlich Delamination und schlechter Haftung am Substrat. Daher war die Entwicklung und Optimierung der Prozessparameter im Silber-Sinterverfahren ein notwendiger Arbeitsschritt.

Typische Prozessparameter werden von den Herstellern der Silberpasten vorgegeben. Frühere Forschungsarbeiten [5] zur Anwendung des Silbersinterns auf IS550H-PCB-Substrate ergaben jedoch, dass die Variation der Prozessparameter auf HT-PCB-Substraten in der Höhe auf $P = 15\text{-}20$ MPa beschränkt ist. Eine erste Verwendung des Temperaturprofils auf Chipgrößen von mehr als 4,2 x 6,8 mm² in Kombination mit der Nassplatzierung der Chips zeigte, dass die Qualität und Festigkeit der Chipbefestigung nicht zufriedenstellend war. Daher wurden die Prozessparameter und der Ablauf wie folgt systematisch verbessert.

Als Antrieb einer Sinterpresse wurde eine Universalprüfmaschine Zwick z010 eingesetzt. Die beiden Heizplatten werden von einem PID-Regler angesteuert, und die auf die Baugruppe wirkende Kraft wird über eine Kraftmessdo-

se geregelt. Die Mikro-Silberpaste (LTS 338-28 Heraeus) wurde mittels einer Schablone ($d = 75 \mu\text{m}$) auf das Substrat aufgebracht. Die für diese Untersuchung verwendeten Leiterplattensubstrate waren auf der Oberfläche mit einer Ni-Au-Schicht ($5 \mu\text{m}/80 \text{nm}$) beschichtet. Die Paste wird anschließend 15 min bei $130 \text{ }^\circ\text{C}$ getrocknet. Während dieses Trocknungsprozesses wird der größte Teil des organischen Lösungsmittels verdampft. Anschließend wird das Substrat auf einer Heizplatte auf $140 \text{ }^\circ\text{C}$ erhitzt und der Chip platziert. Der Prozess der Platzierung des Chips auf die vorbehandelte Silber-Sinterpaste erhöht die Adhäsion der Chips auf dem Substrat und trägt außerdem zu einer homogenen und gleichmäßigen Bondlinie bei. Diese vormontierte Chip-Substrat-Baugruppe wird dann in der Heißpresse platziert [4]. Dabei wird ein kontrollierter Druck von 20 MPa und eine Temperatur von $230 \text{ }^\circ\text{C}$ angewendet. Die Zeit der Druckeinwirkung wurde sequentiell von 5 min auf 20 min erhöht. Proben, die mit der längsten Zeit von 20 min hergestellt wurden, wiesen eine bessere Haftung und Scherfestigkeit auf. Durch die Erhöhung der Sinterzeit konnten die großen IGBT-Chips erstmals erfolgreich auf die PCB-Substrate aufgebracht werden. Die verlängerte Sinterzeit trug offensichtlich zu einer verbesserten Diffusion an der Metalloberflächen bei, was zu einer festeren Verbindung führte.

Metallographische Querschnitte werden verwendet, um die Qualität der Verbindungslinie in der Die-Attach-Schicht zu untersuchen. Bild 1 zeigt den Querschliff der Baugruppe mit IS550H-PCB-Substrat und IGBT-Chip der Größe $4,2 \times 6,8 \text{ mm}^2$. Die Bondlinie sieht durchgehend und gleichmäßig aus. Die Bondliniendicke beträgt etwa $28 \mu\text{m}$. Ähnliche Ergebnisse wurden auch bei einer Chipgröße von $12,6 \times 12,6 \text{ mm}^2$ erzielt.

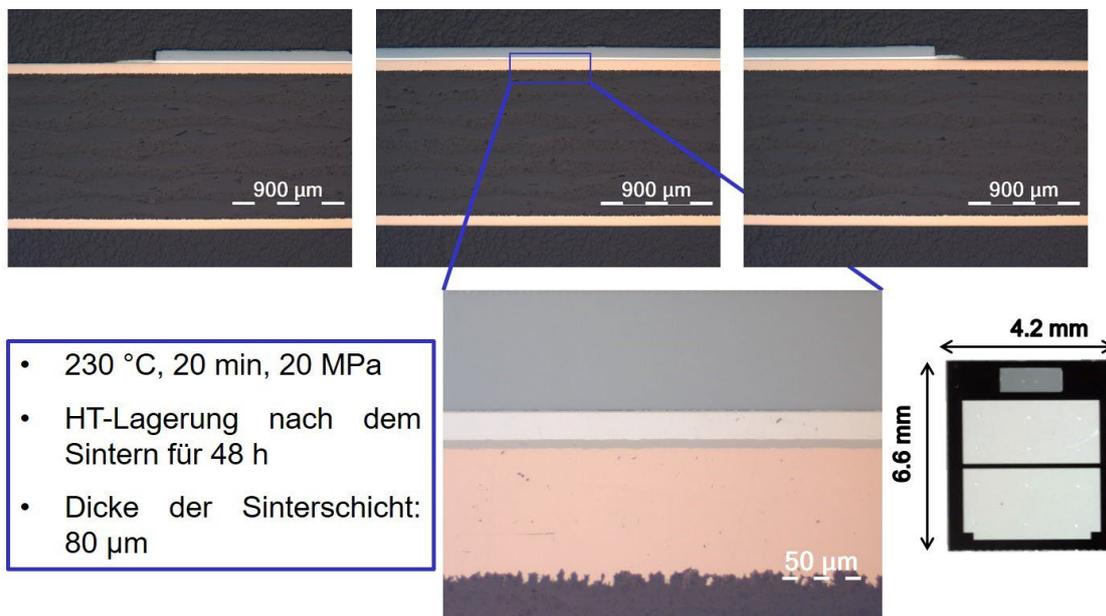


Bild 1. Metallurgische Untersuchung des IGBT-Chips auf IS550H-PCB-Substrat.

3 Verbindung mit CucorAl-Draht

Traditionell wird ein Reinaluminiumdraht (Al) mit einem Durchmesser von $300 \mu\text{m}$ in Verbindungsprozessen der Leistungselektronik verwendet. Oft ist der Ausfall der Drahtverbindung während des Betriebs begrenzend für die Lebensdauer dieser Bauelemente. Besonders bei silbergesinterten Baugruppen ist die Zuverlässigkeit der Die-Befestigung im Vergleich zur Drahtbondverbindung sehr hoch. Um dieses Problem zu lösen, wurde ein alternatives Drahtbondmaterial gewählt. In dieser Forschungsarbeit wird ein CucorAl-Draht der Firma Heraeus GmbH mit Kupferkern und Aluminiumummantelung zur Kontaktierung verwendet. Das Kupfer hat bessere elektrothermische Eigenschaften im Vergleich zum Aluminium. Die Aluminiumummantelung hilft, die traditionellen Bondmethoden und -oberflächen weiterhin nutzen zu können. Diese Kombination bietet so den Vorteil einer erhöhten Zuverlässigkeit des Bonddrahtes. Sobald der IGBT auf dem IS550H-PCB-Substrat aufgebracht ist, wird die Drahtverbindung mit einem handelsüblichen Dickdraht-Bonder hergestellt. Die Prozessparameter zur Herstellung der Verbindung mussten durch Vorversuche noch angepasst werden. Eine DoE wurde durchgeführt, um den optimalen Parametersatz für die Verbindung zu finden. Tabelle 1 enthält die Werte der Prozessparameter für die Chipoberfläche und die Substratoberfläche. Die Chip-Oberfläche hat eine AlSiCu-Metallisierung und die Substrat-Oberfläche eine Ni-Au-Metallisierung. Die Parameter für das Bonden wurden separat für diese Oberflächen optimiert. Bild 2 zeigt das Device under Test (DUT), das für die weiteren Zuverlässigkeitsuntersuchungen hergestellt wurde.

Tabelle 1. Optimierte Parameter für das CucorAI-Drahtbonden.

Parameter	Chip-Oberfläche	Substrat-Oberfläche
Ultraschall-Leistung (V)	40	30
Bondkraft (cN)	750	800
Bondzeit (ms)	150	150

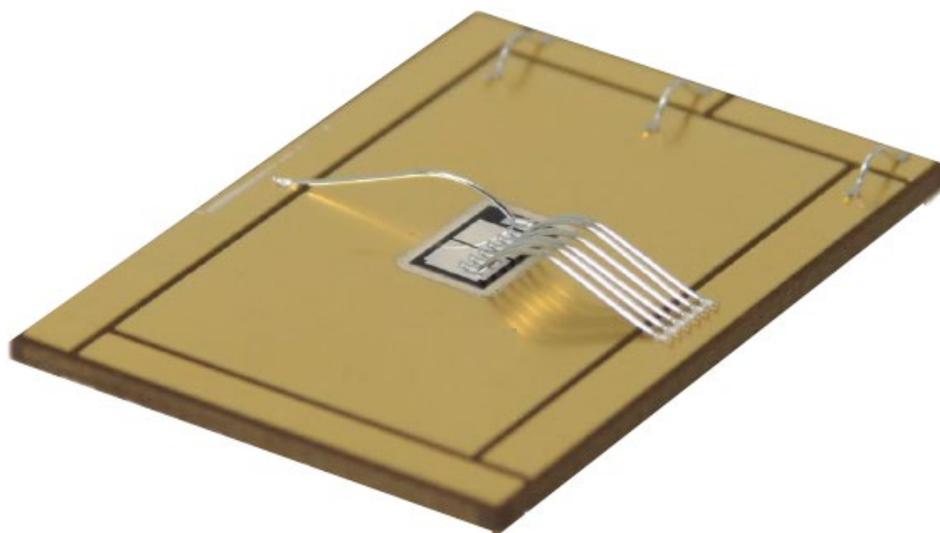


Bild 2. DUT: PCB-Substrat mit silbergesintertem IGBT-Chip und CucorAI-Bonddraht

4 Prüfstand - Active Power Cycling

APCT (Active Power Cycling Test) ist ein beschleunigter Test, bei dem die Module bis zum Versagen wiederholt thermisch belastet werden. Dieser Prozess besteht aus zwei Phasen, der Aufheizphase und der Abkühlphase. Dazu wird für eine bestimmte Zeit ein hoher Strom durch den Prüfling angelegt, was zu einer erhöhten Temperatur in der Baugruppe führt. In der Kühlphase kühlt das DUT auf einer Kühlplatte mit Wasserkühlung ab. Die Messung der Kollektor-Emitter-Spannung (V_{CE}) und des thermischen Widerstands (R_{th}) dienen zur Überwachung des Zustandes des DUT. Die $V_{CE}(t)$ -Methode wird verwendet, um die Sperrschichttemperatur (T_j) eines IGBT aus dem Spannungsabfall zwischen Kollektor- und Emitter abzuschätzen. Die V_{CE} Messung wird auch als Indikator für einen Wire-Bond-Lift-off verwendet. Das Ausfallkriterium des V_{CE} wurde auf einen Anstieg von 5 % festgelegt. Der in diesem System verwendete Parameter R_{th} ist der thermische Gesamtwiderstand aller Materialschichten des DUT-Pakets von der Sperrschicht (junction) des Chips bis zum Wasser ($R_{th,jw}$). Der Anstieg des Parameters $R_{th,jw}$ zeigt an, dass im thermischen Pfad des Prüflings eine Alterung stattgefunden hat. Das Versagenskriterium des R_{th} wurde ebenfalls nach AQG324 auf einen Anstieg von 20% festgelegt. Die folgende Gleichung veranschaulicht die Parameter, die gemessen und berechnet werden müssen, um den $R_{th,jw}$ zu erhalten.

$$R_{th,jw} = \frac{T_{j,max} - T_w}{P_V} = \frac{T_{j,max} - T_w}{V_{CE,sat}(I_L + I_m)}$$

Zur Durchführung von Zuverlässigkeitstests für die entwickelten Prüflinge wurde ein in Bild 3 dargestellter Prüfstand entwickelt und konstruiert, der verschiedene Lastströme (I_L) und Gate-Emitter-Spannungen (V_{GE}) liefert. Als Schnittstelle zwischen der Hardware und der Software wurden DAQ-Geräte verwendet. Ein LabVIEW-Programm (National Instruments Inc., USA) wird zur Steuerung der Schalter sowie zur Messung und Analyse der Daten verwendet.

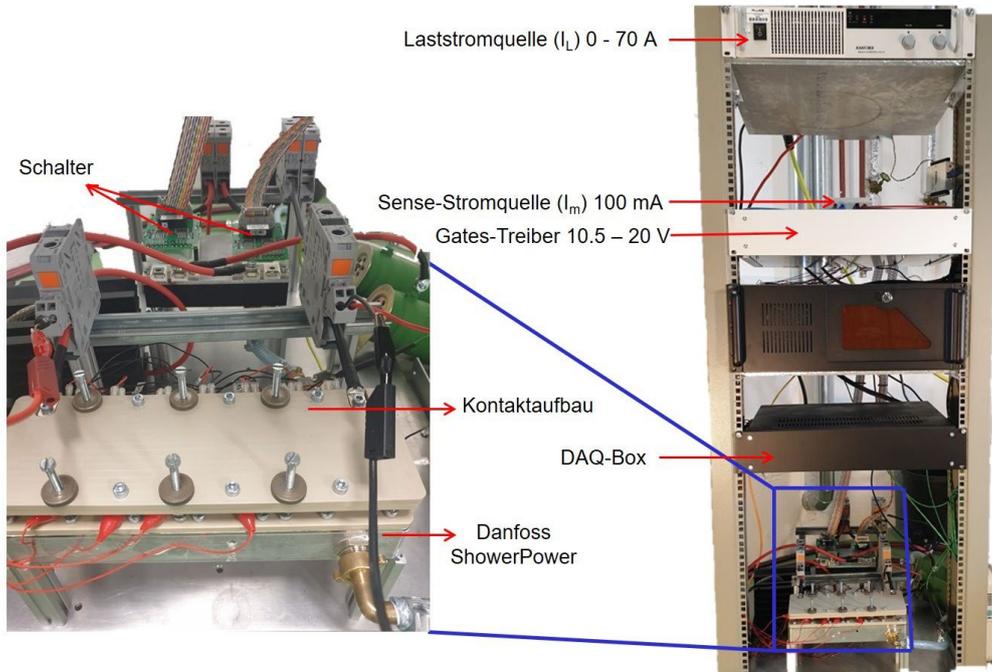


Bild 3. Prüfstands für den zyklischen Active Power Test.

5 Prinzip der Messung

Um die Kollektor-Emitter-Spannung zur Berechnung der Temperatur eines Moduls zu verwenden, ist eine geeigneter Zeitpunkt, zur Aufnahme der Daten zu wählen. Der Vorteil, diesen kurz vor dem Umschalten zu wählen, besteht darin, den Maximalwert der Kollektor-Emitter-Spannung in der Aufheizphase ($V_{CE,sat}$) zu erhalten, der später in der R_{th} -Berechnung verwendet wird. Wie in Bild 5 dargestellt, ist der Pegel, auf dem die $V_{CE,sat}$ extrahiert wird, der höchste Wert in der Aufheizphase. Dieser Messwert wird in jedem Zyklus aufgezeichnet, bis das DUT die Fehlerkriterien erreicht.

Bild 4 zeigt die Kontaktierung des Prüflings, der mit einem thermischen Interfacematerial auf der Kühlplatte montiert ist. Die Verbindungen zum Modul werden mit Federkontaktstiften hergestellt. Auch die Versorgungsspannungen und Messwertterminals werden über diese Kontaktstifte angeschlossen. Der Aufbau ist für die Prüfung von bis zu sieben Prüflingen ausgelegt. Die Größe, der für die Untersuchung verwendeten IGBTs, beträgt $4,2 \times 6,8 \text{ mm}^2$.

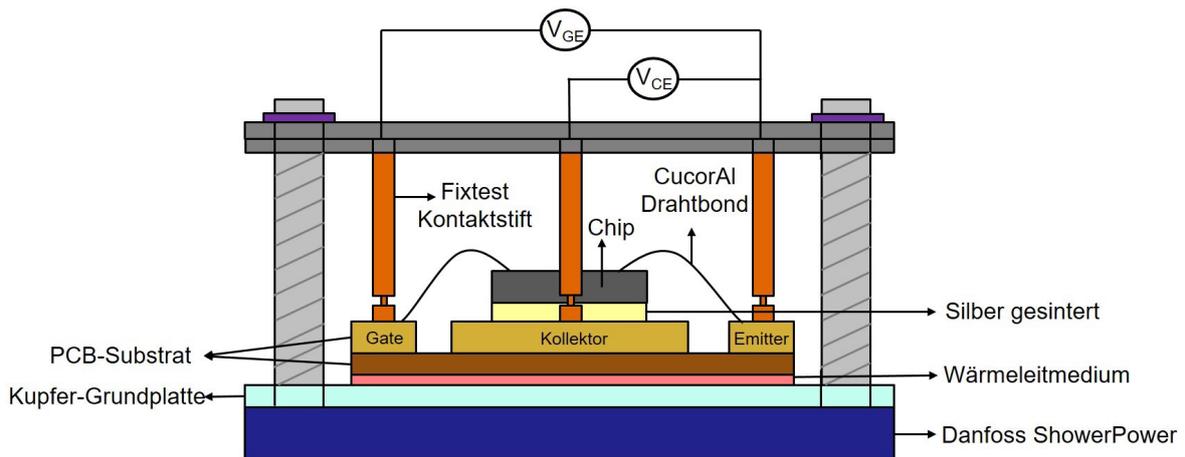


Bild 4. Schematischer Querschnitt, der das DUT (Testbauteil) im Messaufbau zeigt.

Der zweite wichtige Parameter, der extrahiert werden muss, ist die maximale Sperrschichttemperatur ($T_{j,max}$) des Testbauteils (DUT). Gemäß der Norm MIL-STD-883E muss $T_{j,max}$ innerhalb von $100 \mu\text{s}$ nach dem Umschalten in die Kühlphase gemessen werden [1]. Wie in Bild 6 dargestellt, wurde $T_{j,max}$ mittels Linearanpassung aus einem bestimmten Bereich der Kühlphase extrahiert.

Die Prüflinge müssen vor der Zuverlässigkeitsprüfung thermisch charakterisiert werden, um ihr Verhalten zu kalibrieren, damit die Sperrschichttemperatur exakt bestimmt werden kann. Bei einem IGBT-Leistungsmodul können verschiedene Parameter die Sperrschichttemperatur beeinflussen. Die wichtigen Parameter, die $T_{j,max}$ im Test beeinflussen, sind die Gate-Emitter-Spannung, die Dauer der Aufheizphase (t_{on}) und die Kühlbedingungen.

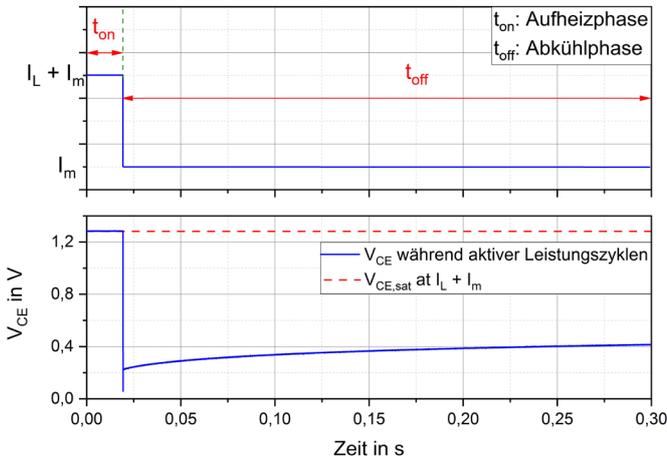


Bild 5. Extraktion von $V_{CE,sat}$ -Wert aus V_{CE} der Heizphase.

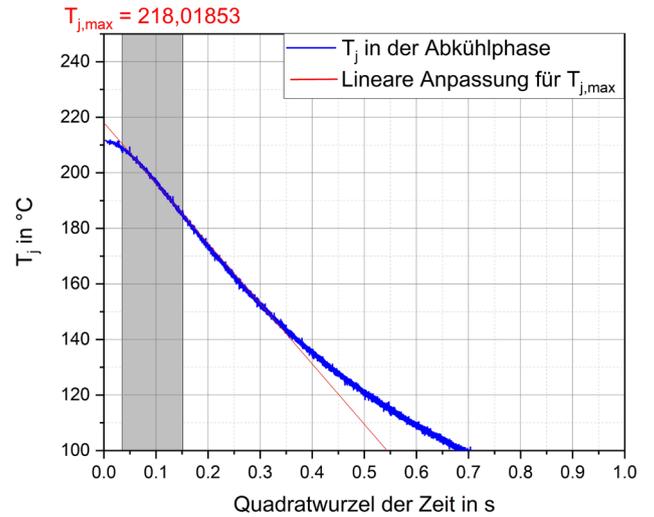


Bild 6. Extraktion von $T_{j,max}$ mittels Linearanpassung.

6 Finite-Elemente-Analyse

Finite-Elemente-Analysen werden durchgeführt, um das thermomechanische Verhalten verschiedener Substrate mit den IGBTs zu untersuchen. Die numerischen Simulationen werden mit der FE-Software Abaqus durchgeführt. Die Baugruppen werden geometrisch modelliert und dem Modell werden Materialeigenschaften zugewiesen. Die Materialeigenschaften für den CucorAl-Drahtbond wurden mit der Nano-Eindruckmethode charakterisiert. Für die Materialcharakterisierung wird eine kombinierte experimentell-numerische Methode angewendet [6]. Der Drahtbond hat drei verschiedene Bereiche, wie z.B. Bondbereich, in dem Al-Plattierung und Pad-Metall auf Si-Die miteinander verbunden sind, Kupferkern - der Kernbereich im Draht und Al-Plattierung - wo er den Kupferkern umgibt. Die detaillierten Materialeigenschaften für das Drahtbonden werden in [7] aufgeführt. Die FE-Modelle sind für den Simulationszweck vereinfacht. Für die numerische Analyse wird eine Halbsymmetrie des Prüflings berücksichtigt, die in Bild 7 beispielhaft dargestellt ist.

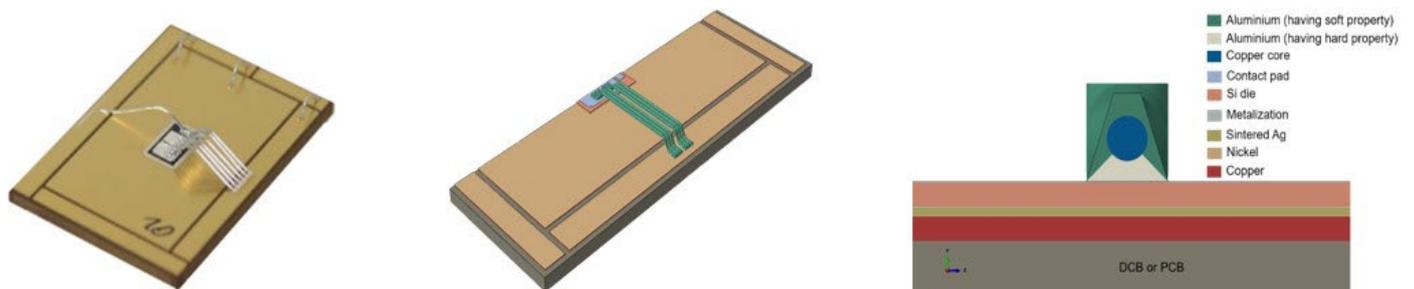


Bild 7. Probe und FE-Modell des Prüflings - Halbsymmetriemodell (a) und (b). (c) Materialzuordnungen zum FE-Modell.

7 Ergebnisse

7.1 DUT-Kalibrierung

Die $V_{CE}(t)$ -Methode dient dazu, die Sperrschichttemperatur in einem IGBT-Modul aus dem Spannungsabfall zu errechnen. Dazu ist eine Kalibrierung erforderlich. Um diese durchzuführen, wurde der Prüfling in einem Ofen platziert und mit $I_m = 100$ mA und $V_{GE} = 20$ V betrieben. Die V_{CE} -Messung wurde alle 20 K bis zu 180 °C durchgeführt. Wie in Abbildung 8 dargestellt, weist die resultierende Kurve ein lineares Verhalten auf, das zur Abschätzung der Sperrschichttemperatur später während des Leistungszyklus verwendet wird.

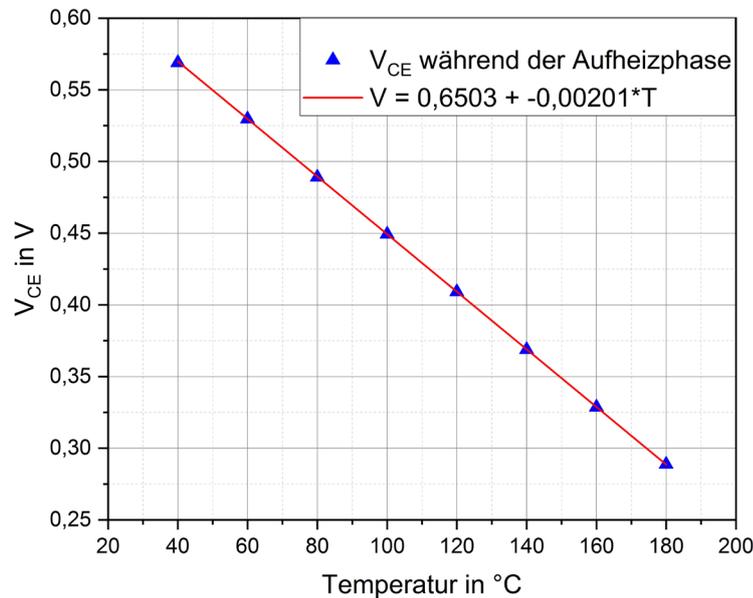


Bild 8. Kalibrierungskurve des Prüflings im Ofen zwischen 40 - 180 °C bei $I_m = 100$ mA.

7.2 DUT-Lebensdauer-Ergebnisse

Die APCT wurde an vier DUT mit zwei verschiedenen Einstellungen durchgeführt. Vor Beginn der Tests wurden einige Parameter angepasst, um eine bestimmte Ausgabe zu erhalten. Die in Tabelle 2 verwendeten Parameter wurden entsprechend der DUT-Charakterisierung gewählt, um die hohe Testbeschleunigung zu erreichen.

Die Bilder 9 bis 12 zeigen die Ergebnisse für jeden Prüfling mit $V_{CE,sat}$ und R_{th} für verschiedene ΔT_j . Zwei verschiedene Einstellungen wurden auf die DUTs angewendet. Die Prüflinge 1 und 2 haben einen konstanten Laststrom $I_L = 20$ A und eine konstante Ein- bzw. Abschaltzeit ($t_{on} = 3$ s und $t_{off} = 6$ s). Dagegen haben die Prüflinge 3 und 4 folgende Randbedingungen: $I_L = 16,2$ A, $t_{on} = 15$ s und $t_{off} = 10$ s.

Tabelle 2. Initialisierungsparameter, die für Leistungszyklen verwendet werden.

Parameter	Wert	Einheit
I_L	20 / 16,2	A
I_m	100	mA
V_{GE}	11,5	V
t_{on}	3 / 15	s
t_{off}	6 / 10	s
Kühlwasser-Durchflussmenge	10	l/min
DAQ-Abtastrate	100	kS/s

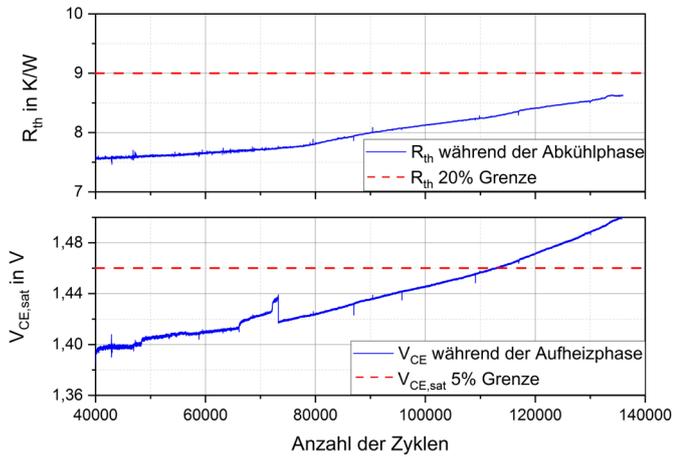


Bild 9. DUT 1: Lebensdauererwartung durch V_{CE} bei $\Delta T_j = 163 \text{ }^\circ\text{C}$ bei $I_L = 20 \text{ A}$, $t_{on} = 3 \text{ s}$ und $t_{off} = 6 \text{ s}$.

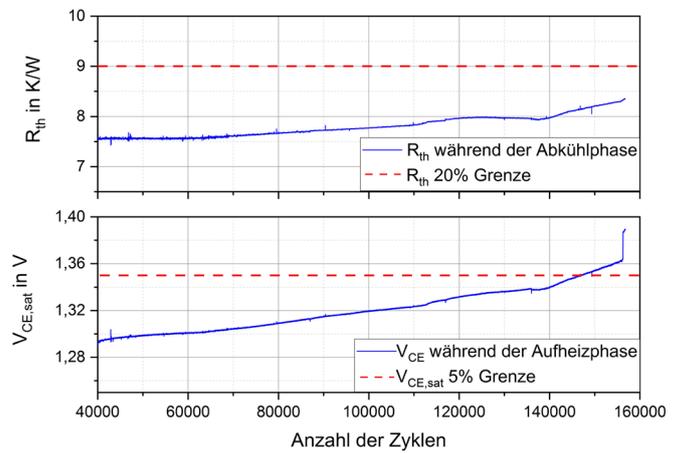


Bild 10. DUT 2: Lebensdauererwartung durch V_{CE} bei $\Delta T_j = 155 \text{ }^\circ\text{C}$ bei $I_L = 20 \text{ A}$, $t_{on} = 3 \text{ s}$ und $t_{off} = 6 \text{ s}$.

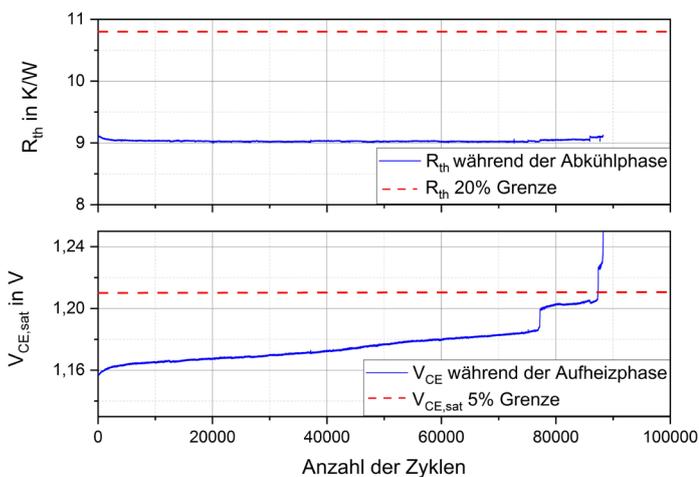


Bild 11. DUT 3: Lebensdauererwartung durch V_{CE} bei $\Delta T_j = 162 \text{ }^\circ\text{C}$ bei $I_L = 16,2 \text{ A}$, $t_{on} = 15 \text{ s}$ und $t_{off} = 10 \text{ s}$.

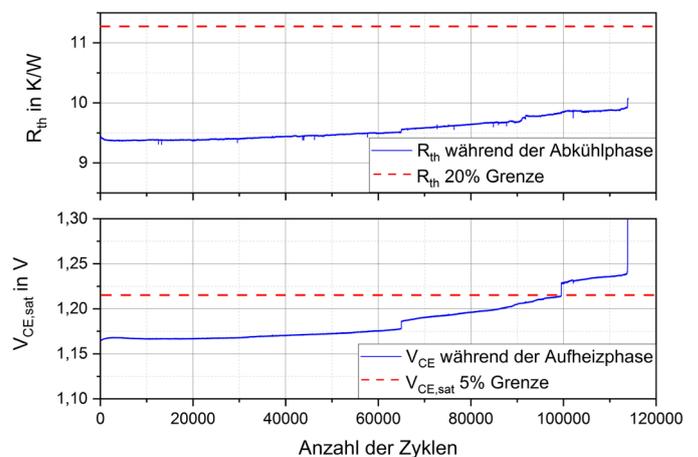


Bild 12. DUT 4: Lebensdauererwartung durch V_{CE} bei $\Delta T_j = 168 \text{ }^\circ\text{C}$ bei $I_L = 16,2 \text{ A}$, $t_{on} = 15 \text{ s}$ und $t_{off} = 10 \text{ s}$.

Alle vier DUTs versagten nach dem gleichen Fehlerkriterium. Der während des APCT-Tests aufgezeichnete V_{CE} -Wert erreichte in allen Fällen das Versagenskriterium von 5 %. Das Versagen ist auf ein Abheben des Drahtbonds zurückzuführen. Der R_{th} -Wert zeigte teilweise ebenfalls einen signifikanten Anstieg während der thermischen Belastung, erreichte jedoch nie die Versagensgrenze von 20 %. Tabelle 3 zeigt die Anzahl der während der Prüfung aufgezeichneten Zyklen bis zum Versagen für jede gegebene Prüfbedingung.

Tabelle 3. Testbedingungen und die Anzahl der Zyklen bis zum Versagen.

Probe	$\Delta T_j \text{ }^\circ\text{C}$	$I_L \text{ [A]}$	$t_{on} \text{ [s]}$	$t_{off} \text{ [s]}$	Anzahl der Zyklen
DUT 1	163	20	3	6	113.099
DUT 2	155	20	3	6	146.821
DUT 3	162	16.2	15	10	87.370
DUT 4	168	16.2	15	10	99.534

7.3 Querschnitt-Ergebnisse

Zur Verifikation der Versagensmechanismen wurde eine Querschliff-Analyse durchgeführt. Bild 13 zeigt, dass eine Alterung auch in der gesinterten Silberschicht stattfindet. Dieser Querschliff wurde unter Verwendung von DUT 1 erstellt, wobei die zugehörige R_{th} -Messung dem Versagenskriterium am nächsten kam. Es gibt zwei Arten von

Degradationen, die aus den Querschliffen ersichtlich werden. Die Erste, eine Delamination der Sinterschicht, trat an der dem Chip zugewandten Grenzfläche auf. Die Zweite sind Risse (vertikal und horizontal), die im Kupfer des PCB-Substrats aufgetreten sind. Diese führen ebenfalls zu einer Erhöhung des thermischen Gesamtwiderstands.

Der zweite Querschliff wurde an DUT 2 durchgeführt. Aus präparativen Gründen und um den Wire-Bond-Lift-off zu visualisieren, wurde eine 50 µm dicke Silberschicht auf die Module aufgebracht. An den Stellen des vollständigen Abhebens wird die Silberschicht den Drahtquerschnitt vollständig bedecken. Teilrisse zeigen keine Silberablagerungen auf der gebondeten Seite des Drahtbonds. Wie in Bild 14 dargestellt, wurden zunächst sechs Drahtbonds mit dem Emitter des Chips und eines mit dem Gate verbunden. Es ist deutlich zu erkennen, dass drei Drahtbonds vollständig abgehoben sind. Alle Abgehobenen befinden sich in der Mitte des Chips, was auf die Temperaturdifferenz zwischen der Mitte und den Seiten des Chips zurückzuführen ist.

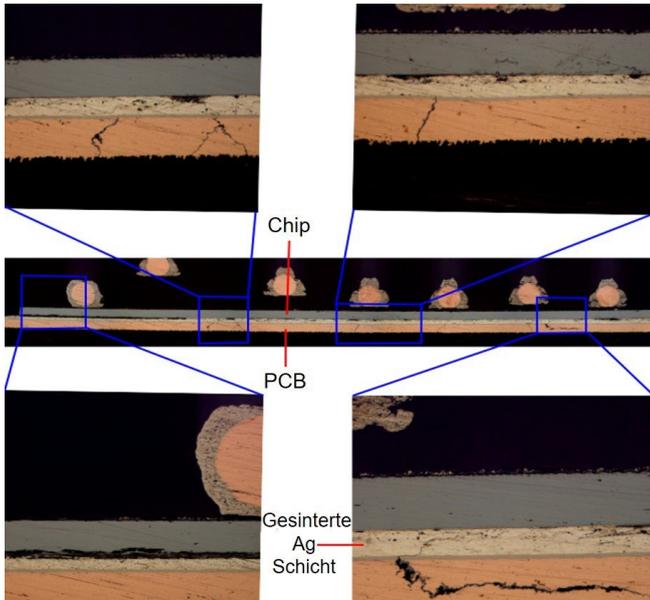


Bild 13. Querschliff für DUT 1: Delamination der Silbersinterschicht und Risse im IS550H-PCB-Substrat.

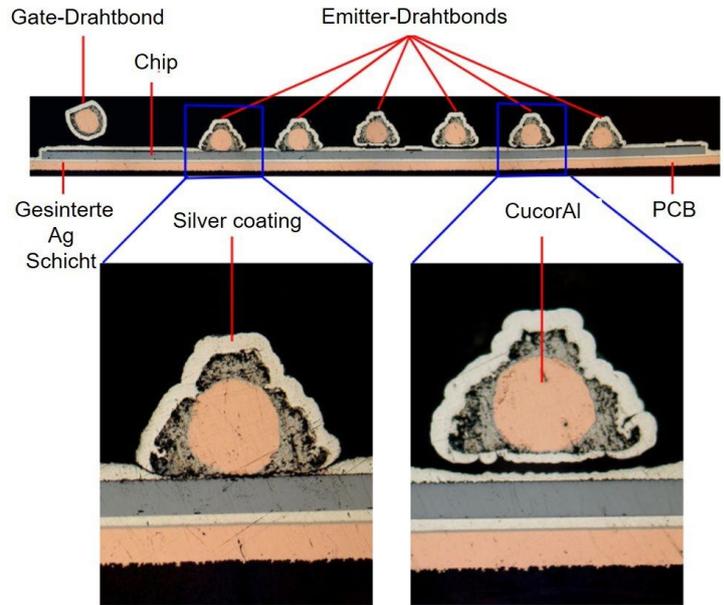


Bild 14. Querschliff von DUT 2: Drahtbond-Abhebung.

7.4 Ergebnisse der Finite-Elemente-Analyse

Für die numerische Simulation wird zunächst eine passive thermische zyklische Belastung von TS -40°C/140°C auf den Aufbau angewendet. Ein Vergleich verschiedener Bonddrähte (z.B. CucorAl-Draht und reiner Al-Draht) wird während der Analysen untersucht. Zwei passive zyklische Belastungsstufen wurden angewendet und die entsprechende äquivalente plastische Dehnung wird als Differenz der letzten zyklischen Belastung berechnet. In Bild 15 ist der Vergleich der äquivalenten plastischen Dehnung in verschiedenen Bonddrähten dargestellt. Die maximale akkumulierte plastische Dehnung wird im Fersenbereich des Bondfußes in allen Bonddrähten beobachtet. Die äquivalente plastische Dehnung am CucorAl-Draht ist an der Bondfläche nahezu Null und eine geringe Konzentration ist an der Ferse des Bondfußes zu erkennen. Die hohe Streckgrenze im Bondbereich des CucorAl-Bonddrahtes reduziert die zyklische Dehnungskonzentration im Draht im Vergleich zu den reinen Al-Drähten. Die Ergebnisse haben gezeigt, dass daher plastische Dehnung kein Versagenskriterium für CucorAl-Bonddrähte sein kann [7].

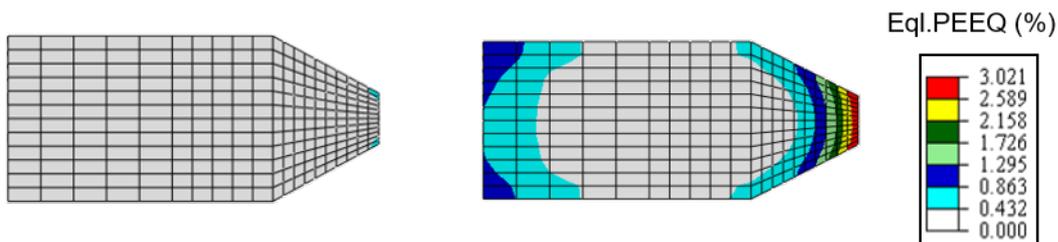


Bild 15. Vergleich der äquivalenten plastischen Dehnung in cucorAl und reinen Al-Bonddrähten

Das Modell wird mit einer zyklischen Wirkleistungsbelastung beaufschlagt, um die Temperaturverteilung über den Bauteilversuch zu untersuchen. Beim Power-Zyklustest wird der Parameter V_{CE} zur Berechnung des Leistungsverlustes im Gerät für den korrelierenden Laststrom verwendet. Die erhaltene Verlustleistung wird zur Berechnung der Temperaturverteilung im Aufbau verwendet. Es wurden thermische Simulationen für verschiedene t_{on} und t_{off} Zeiten durchgeführt. Der Einfluss der t_{on} Zeit auf die Temperaturverteilung wurde durch Experiment und Simulation analysiert und verglichen, wie in Abbildung 16 dargestellt.

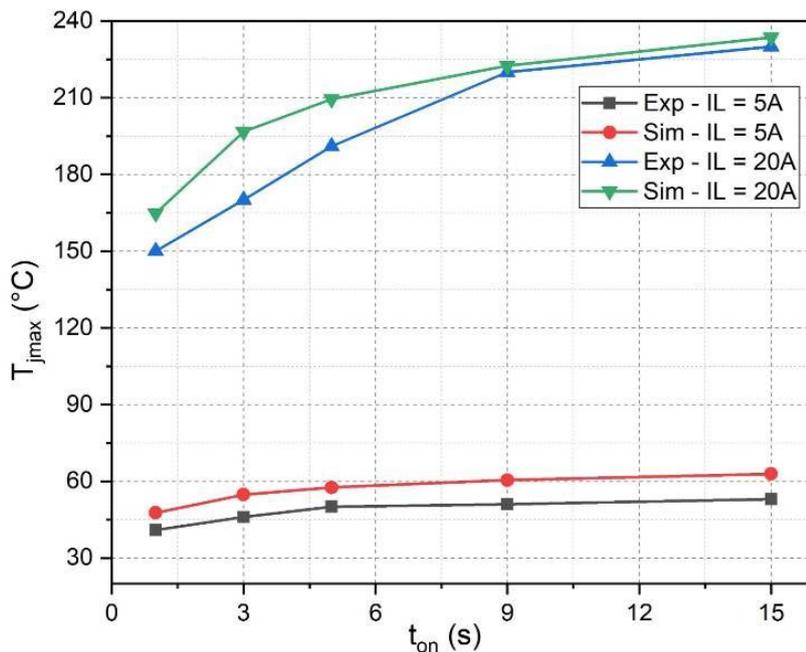


Bild 16. Einfluss der t_{on} für die Temperaturverteilung im Prüfling

Die ΔT_j Verteilung auf dem Prüfling für t_{on} und t_{off} von 3s/6s wird für einen Laststrom von 20 A untersucht. Die Temperaturverteilungen wurden experimentell und numerisch bestimmt. Beide Ergebnisse zeigen, dass die maximale Temperatur entlang der Bonddrähte verteilt ist, was in Bild 17 (a) dargestellt ist. Es gibt eine kleine Abweichung der Verbindungstemperatur in Experiment und Simulation. Dies kann fehlende Verlustleistungseinträge in den Bondverbindungen zur Ursache haben, die durch voll gekoppelte elektrisch-thermische Analysen eingebracht werden können. Es gibt sechs Bonddrähte, die auf das Emitterpad des Chips gebondet sind. Bei diesen Bonddrähten wird das Maximum ΔT_j im mittleren Bereich der Bonddrähte beobachtet, was in Bild 17 (b) dargestellt ist. Die Ergebnisse aus dem Experiment und der Simulation zeigen, dass auf den drei Bonddrähten im mittleren Bereich des Chips eine höhere Temperatur beobachtet wird. Der dadurch bedingte größere Mismatch führt zum Abheben des Drahtbonds in diesem Bereich der Drahtbonds, was im Abschnitt 7.3 beschrieben und dargestellt wurde.

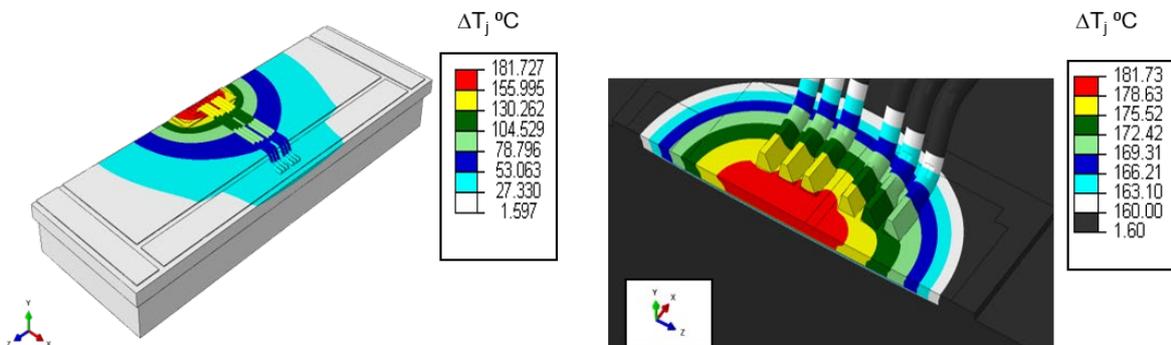


Bild 17. Temperaturverteilung (ΔT_j °C) im zu prüfenden DUT.

Zur Analyse der Stressbeanspruchung im Testaufbau für die Power-Zyklusversuche wurden gekoppelte transiente thermo-mechanische Simulationen durchgeführt. Dazu werden die Temperaturverteilungen aus aktiven Leistungszyklussimulationen in die thermo-mechanischen Analysen eingekoppelt.

Da die äquivalente plastische Dehnung nicht als Versagenskriterium angesehen werden kann, werden die maximalen Von-Mises-Spannungen im Bondfuß betrachtet. Der Bereich des Interface des Bondfußes und des Chip-Pads weist eine höhere äquivalente Spannung auf, die in Bild 18 dargestellt ist und die zum Versagen der Drahtbonds im Prüfling führt.

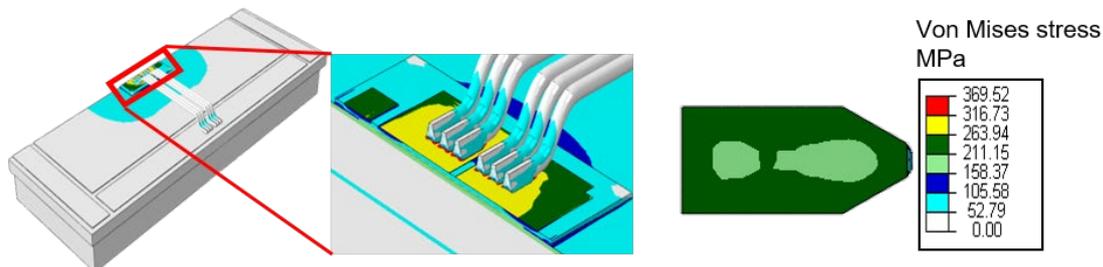


Bild 18. Von-Mises-Spannungsverteilung im zu testenden Gerät. (a) Globale Von-Mises-Spannung im Prüfling. (b) Von-Mises-Spannung im Bonddrahtfuß.

8 Schlussfolgerung

In dieser Arbeit wurde eine Zuverlässigkeitsstudie an Nicht-DCB-Substraten erstellt. Die Verarbeitung großer Chips auf den IS550H-PCB-Substraten ist für große IGBT-Chip-Größen von bis zu 12,6 x 12,6 mm² optimiert worden. Die Sinterzeit hat sich als ein wichtiger Parameter für die zuverlässige Anbindung des Chips auf den Oberflächen erwiesen. Es wurde ein Aufbau zur Durchführung beschleunigter Zuverlässigkeitstests an diesen silbergesinterten Modulen erstellt und das Messprinzip zur Identifizierung der Fehlerkriterien der Proben erläutert. Vier Prüflinge werden mit Hilfe von Active-Power-Cycle-Tests einer thermischen Zyklusbelastung ausgesetzt. Die Ergebnisse zeigen, dass alle Module eine hohe Zuverlässigkeit aufweisen. Unter extremen Testbedingungen mit $t_{on} = 15$ s verzeichneten die Module eine Zyklenzahl bis zum Versagen von über 87.000 Zyklen. Für $t_{on} = 3$ s wurde die Zuverlässigkeit des Moduls bei einer noch höheren Zyklenzahl bis zum Versagen von ca. 146.000 Zyklen festgestellt. In beiden Fällen wird als Ausfallursache das Abheben der Drahtbonds von der Chipmitte identifiziert. Der Grund für dieses Versagen wird mit FEA-Simulationen untersucht, wobei bei dieser Untersuchung ein höherer Temperaturhub und daraus resultierende mechanische Spannungen im Bondbereich beobachtet wurde. Die höhere Spannung in der Mitte des Chips war ein Effekt der ungleichmäßigen Temperaturverteilung entlang der Chipoberfläche. Die Simulationsergebnisse stimmten mit den Versagensmodi überein, die bei den an den getesteten Proben durchgeführten metallografischen Querschliffuntersuchungen festgestellt wurden. Obwohl das Versagenskriterium $\Delta R_{th} > 20$ % bei diesen Untersuchungen nicht erreicht wird, zeigen die Schliffrgebnisse eine leichte Schädigung des Substrats mit Rissen. Dies trug zur Erhöhung des Wärmewiderstands des Systems bei. Um den Einfluss der geometrischen Parameter auf die Zuverlässigkeit dieser Module zu verstehen, müssen in Zukunft Tests an den IGBT-Chips mit unterschiedlichen Größen und Dicken durchgeführt werden. Zusätzlich zu den IS550H-PCB-Substraten können auch andere Nicht-DCB-Substrate wie Kupfer-Leadframes oder isolierende Metallsubstrate (IMS) untersucht werden, um den Einfluss der Materialeigenschaften auf die Lebensdauer dieser Leistungsmodule vorherzusagen.

Schrifttum

- [1] A. Schiffmacher, L. Litzemberger, J. Wilde, and T. Huesgen, "Silver sintering on organic substrates for the embedding of power semiconductor devices," in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Las Vegas, May 2019, DOI. 10.1109.
- [2] T. Löher, S. Karaszkiwicz, L. Böttcher and A. Ostmann, "Compact power electronic modules realized by PCB embedding technology," in Proc. 2016 IEEE CPMT Symposium Japan (ICSJ), 10.1109/ICSJ.2016.7801277.
- [3] T. Schwarz, H. Stahr, A. Cardoso, E. Fernandes, A. L. Des Etangs-Levallois and M. Brizoux, "Merging of packaging technologies for highly integrated embedded modules," 2016 6th Electronic System-Integration Technology Conference (ESTC), Grenoble, 2016, pp. 1-8.doi: 10.1109/ESTC.2016.7764464
- [4] M. Guyenot, D. Maas, R. Ratchev, A. Khoshamouz, T. Gottwald and S. Kreuer, "New failure mechanism in high temperature resin materials," 2018 IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, 2018, pp. 1238-1244.doi: 10.1109/ECTC.2018.00191

- [5] A. Schiffmacher, L. Litzenger, J. Wilde, V. Polezhaev and T. Huesgen, "Power electronic assemblies on printed wiring boards mounted by silver sintering," 2018 7th Electronic System-Integration Technology Conference (ESTC), Dresden, 2018, pp. 1-6. doi: 10.1109/ESTC.2018.8546334
- [6] Albrecht, J., et al. "Method for assessing the delamination risk in BEoL stacks around copper TSV applying nanoindentation and finite element Simulation." 2017 19th Electronics Packaging Technology Conference.
- [7] Dudek, R., et al. "Reliability modelling for different wire bonding technologies based on FEA and nano indentation." 8th Electronics System – Integration Technology Conference (ESTC), Sept. 2020 (paper accepted).

Danksagung

Das IGF-Vorhaben Nr. 20.137 BG/DVS-Nummer 10.090 der Forschungsvereinigung Schweißen und verwandte Verfahren e.V. des DVS, Aachener Str. 172, 40223 Düsseldorf, wurde über die AiF im Rahmen des Programms zur Förderung der industriellen Gemeinschaftsforschung (IGF) vom Bundesministerium für Wirtschaft und Klimaschutz aufgrund eines Beschlusses des Deutschen Bundestages gefördert.

Für diese Finanzierung und Unterstützung sei gedankt. Der Dank gilt darüber hinaus den unterstützenden Unternehmen Diotec Semiconductor AG, Heraeus, Infineon Technologies, and Curamik Rogers Coporation, Siemens AG, CWM, Continental, Danfoss Silicon Power, Robert Bosch GmbH, MAHLE International GmbH, Osram Opto-Semiconductors GmbH, CPT Group GmbH.

Gefördert durch:



Bundesministerium
für Wirtschaft
und Klimaschutz

aufgrund eines Beschlusses
des Deutschen Bundestages